

V-BY-ONE简介

发布版本: 1.0

作者邮箱: hjc@rock-chips.com

日期: 2019.09

文件密级: 公开资料

前言

概述

读者对象

本文档（本指南）主要适用于以下工程师：需要了解V-BY-ONE显示接口的工程师

修订记录

日期	版本	作者	修改说明
2019-09-09	V1.0	黄家钗	初始发布

- 1 概述
- 2 名词解释
- 3 信号引脚
- 4 传输过程
 - 发送端
 - packer
 - encoder
 - serialier
 - link monitor
 - 接收端
- 5 速率计算
- 6 分辨率和data lane数量
- 7 状态机
- 8 Training
 - 8.1 CDR Training
 - 8.2 ALN Training
- 9 参考文档

1 概述

V-By-One是由日本Thine电子公司针对图像传输开发的数字接口标准，采用最先进的CDR技术，仅用一组差分信号线即可实现视频信号的传输。和LVDS相比可以大量减少信号线数，有助于实现“低成本”，“低EMI”，“轻量化”的解决方案。

- 最大传输速率可以达到4Gbps,有效数据3.2Gbps;
- 使用CDR技术无需单独的时钟信号线,这有效的解决了时钟和信号线之间的时滞问题和时钟

信号的重复性导致的EMI问题。

2 名词解释

- FS: Framing Symbols帧符号
- FSACTIVE: DE有效期, 用于传输D Code
- FSBS: Blanking Start, 消隐期开始符号, 在FSBS内传输的都为K code
- FSBP: Blanking Payload, 介于BF和BE之间, Vsync和Hsync数据被打包进Byte0和Byte1, Byte2-4为控制信号, 在FSBS内传输的都为D code
- FSBE: Blanking End, 位于第一个有效像素前, Vsync和Hsync数据被打包进Byte0和Byte1, 在FSBE内传输的都为K code
- FSBE-SR: Blanking End Scrambler Reset,每隔512个BE信号替换为BE-SR信号, FSBE-SR恢复用于scrambler和descrambler的LFSR。FSBE的数量会在每次FSBE-SR发送的时候被复位。

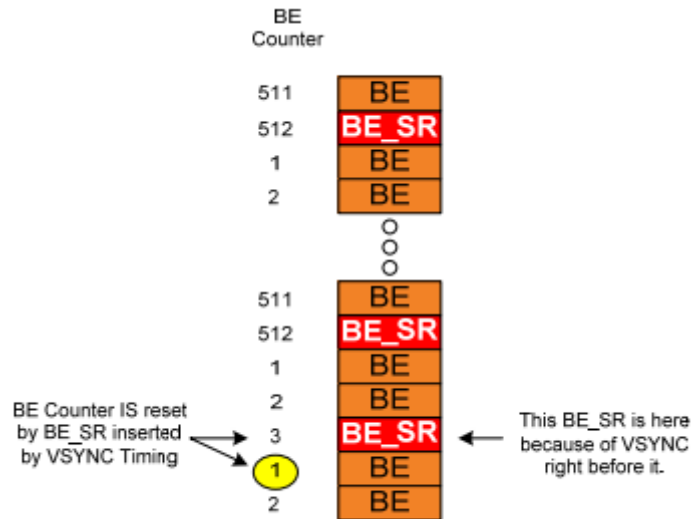


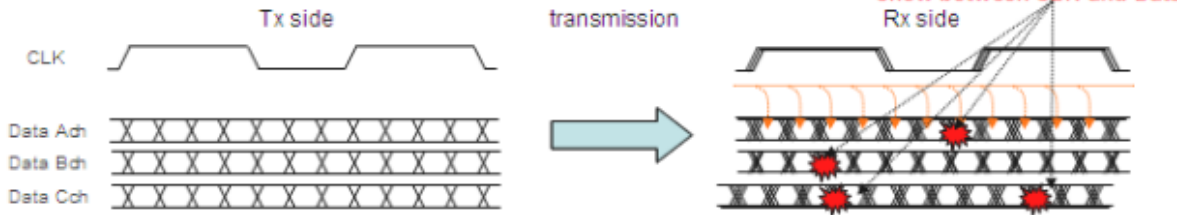
Figure 5 BE_SR counter

- LFSR: Liner Feedback Shist Register, 用于scrambler和descrambler的XOR操作;
- CDR: Clock Data Recovery, 数据时钟恢复技术, 不需要独立的时钟信号, 在开始传输信号之前发送CDR即时钟信息, 接收端根据接收到的CDR信号恢复出发送端对应的时钟频率, 在根据这个时钟频率做数据采样;

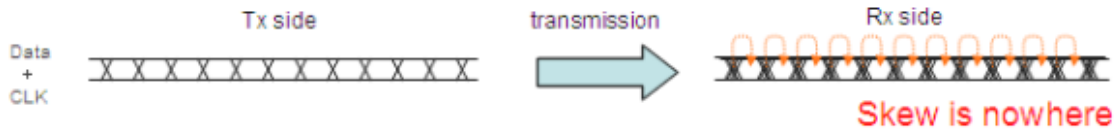
What is CDR (Clock Data Recovery)?

- Only data line (no clock line) is on the trace

LVDS data & clock parallel



V-by-One® CDR



- HTPDN: 热插拔引脚, 低有效
- LOCKN: Lock 状态, 低有效

3 信号引脚

- 若干对的Data Lane:用于传输数据信号(VIDEO DATA, CTL DATA, HSYNC, VSYNC, DEN)
- HTPDN:用于热插拔检测, 默认高电平, 插入后接收端将HTPDN信号拉低, 这个引脚可以选择不接, 不接的时候直接将发送端的HTPDN拉低即可。
- LOCKN: CDR Lock signal, 用于表明CDR PLL是否锁住状态。默认是高电平, 当CDR lock后接收端会将LOCKN拉低。当HTPDN有接的时候, LOCKN状态需要在HTPDN为低之后才有效。

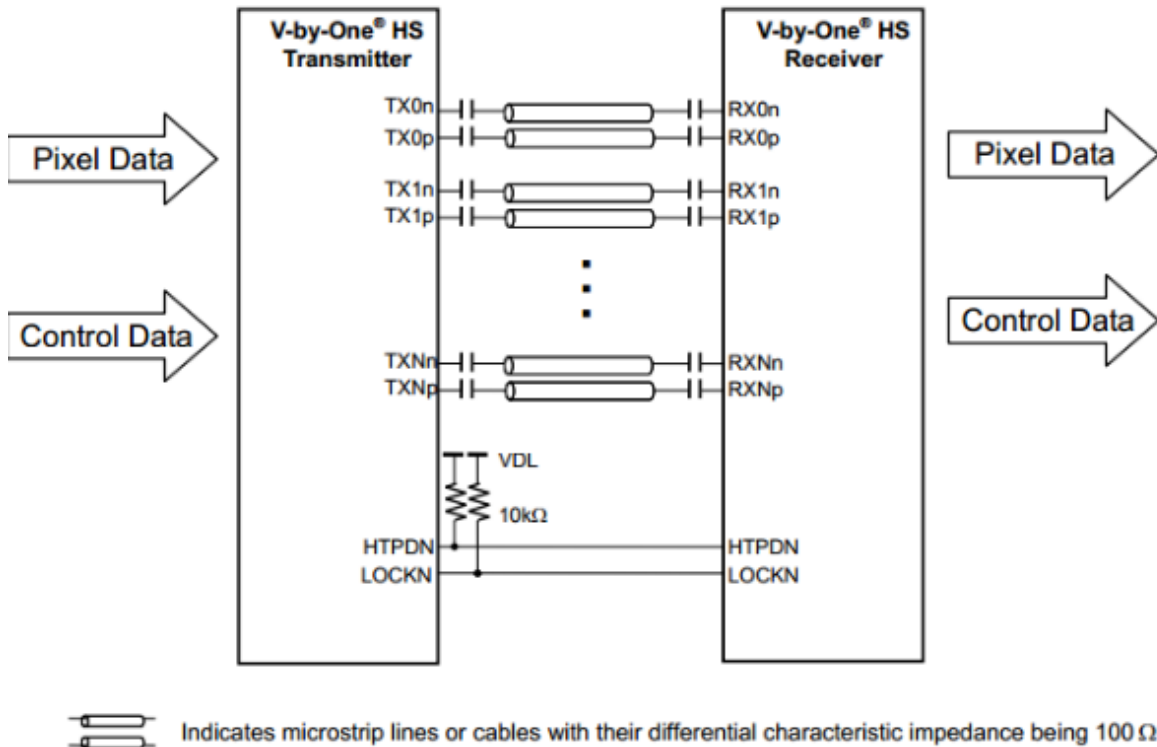


Figure 1 V-by-One® HS Link system Diagram

4 传输过程

发送端

发送端由packer, scrambler, encoder, serialier, transmitter link monitor组成

packer

负责打包

Table 2 Packer mapping

byte mode		condition				Packer Output	
		DE Framing Symbol	Enable FSACTIVE	Disable FSBS	Disable FSBP	Disable FSBE / FSBE_SF	-
5byte mode	3byte mode	Byte0	D[0]	Vsync: H ⇒ SYNH L ⇒ SYNL	Vsync: H ⇒ 0xFF L ⇒ 0x00	Vsync: H ⇒ SYNH L ⇒ SYNL	PD[0]
			D[1]				PD[1]
			D[2]				PD[2]
			D[3]				PD[3]
			D[4]				PD[4]
			D[5]				PD[5]
	D[6]		PD[6]				
	D[7]		PD[7]				
	4byte mode	Byte1	D[8]	Hsync: H ⇒ SYNH L ⇒ SYNL	Hsync: H ⇒ 0xFF L ⇒ 0x00	Hsync: H ⇒ SYNH L ⇒ SYNL	PD[0]
			D[9]				PD[1]
			D[10]				PD[2]
			D[11]				PD[3]
D[12]			PD[4]				
D[13]			PD[5]				
5byte mode	Byte2	D[14]	BS	CTL[0]	BE/BE_SR	PD[6]	
		D[15]				PD[7]	
		D[16]				CTL[1]	PD[0]
		D[17]				CTL[2]	PD[1]
		D[18]				CTL[3]	PD[2]
		D[19]				CTL[4]	PD[3]
5byte mode	Byte3	D[20]	BS	CTL[5]	BE/BE_SR	PD[4]	
		D[21]		CTL[6]		PD[5]	
		D[22]		CTL[7]		PD[6]	
		D[23]		CTL[8]		PD[7]	
		D[24]		CTL[9]		PD[0]	
		D[25]		CTL[10]		PD[1]	
5byte mode	Byte4	D[26]	BS	CTL[11]	BE/BE_SR	PD[2]	
		D[27]		CTL[12]		PD[3]	
		D[28]		CTL[13]		PD[4]	
		D[29]		CTL[14]		PD[5]	
		D[30]		CTL[15]		PD[6]	
		D[31]		CTL[16]		PD[7]	
5byte mode	Byte4	D[32]	BS	CTL[17]	BE/BE_SR	PD[0]	
		D[33]		CTL[18]		PD[1]	
		D[34]		CTL[19]		PD[2]	
		D[35]		CTL[20]		PD[3]	
		D[36]		CTL[21]		PD[4]	
		D[37]		CTL[22]		PD[5]	
-	-	D[38]	K	CTL[23]	K	PD[6]	
		D[39]		CTL[23]		PD[7]	
-		D	K	D	K	D/K	

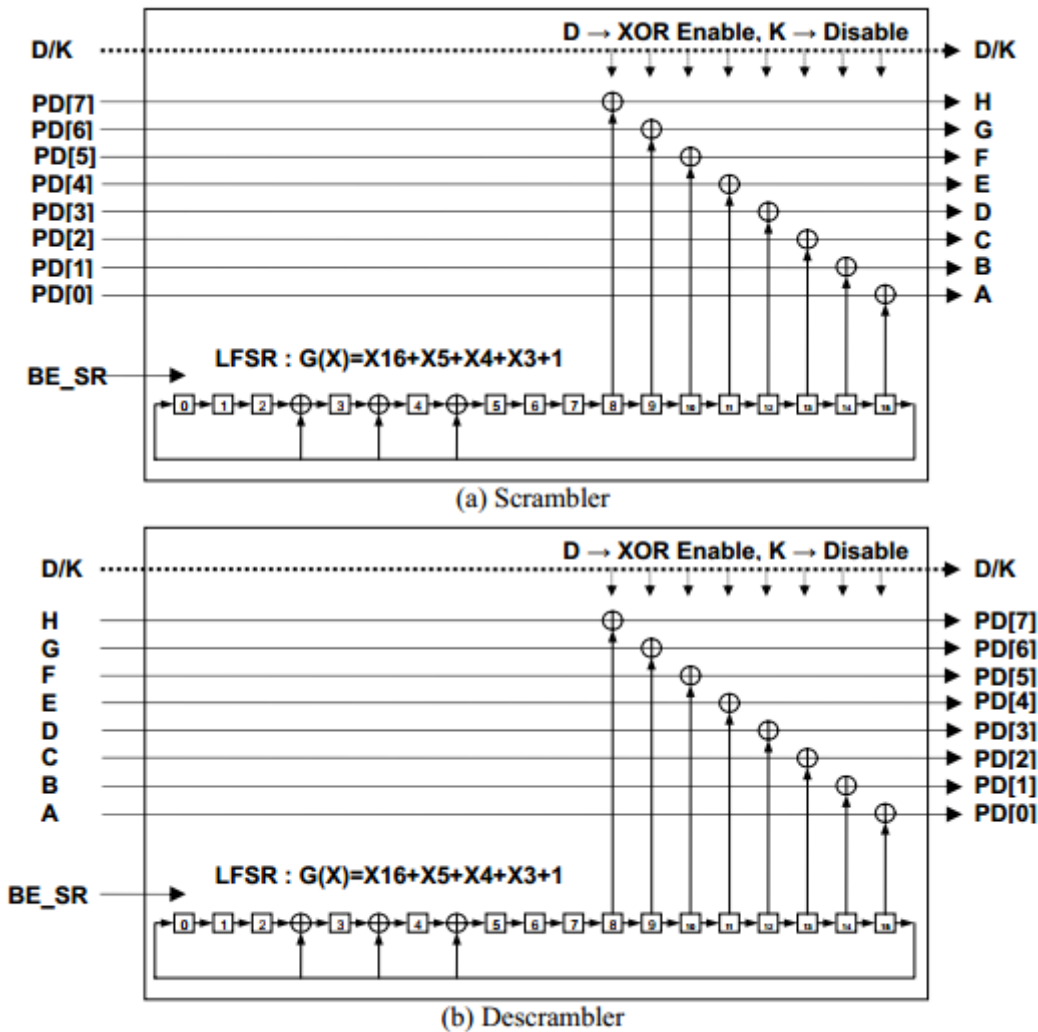
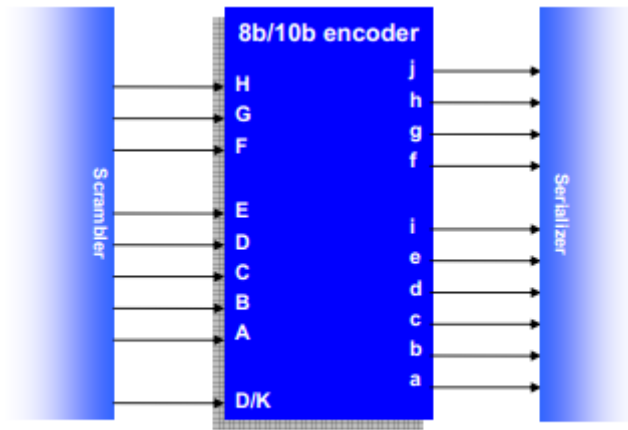


Figure 8 Scrambler and Descrambler

encoder

负责8/10bit编码，将8个bit位通过映射的机制转换为10个位的字码，平衡了位流中的0和1的数量，这就是8/10编码的根本目的“直流平衡(DC balance)”，当高速串行流的逻辑0或者逻辑1有多个位没有变化时会导致码间干扰，直流平衡的好处就是克服这个问题。编码后的连续“1”或“0”不超过5位。ANSI有定义标准的8b/10b编码过程，可以查看《8b10b编码》文档。



(a) Encoder



(b) Decoder

Figure 11 8b/10b Encoder & Decoder

serialier

转成串行数据

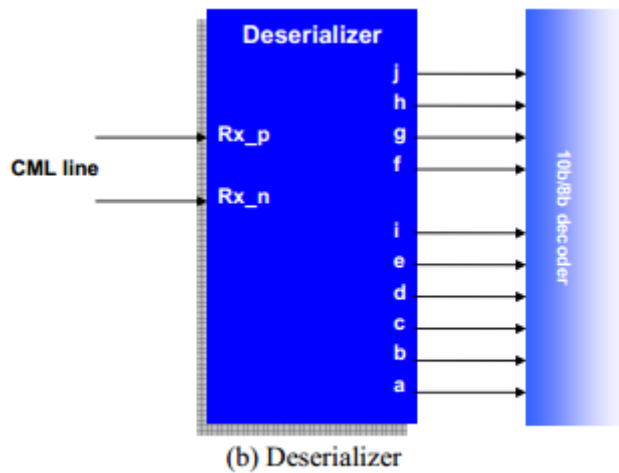
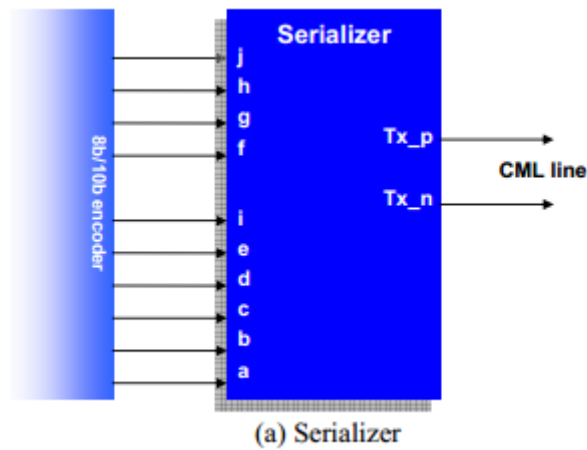


Figure 12 Serializer and Deserializer interface

link monitor

- 链路监视器，主要检查HTPDN和LOCKN两个信号线的状态
- HTPDN拉低说明有设备接入
- 当LOCKN为高，发送端进入CDR traing mode发送CDR pattern，当发现CDR锁住发送端从CDR traing mode转到normal mode开始传输有效数据；

接收端

接收端由unpacker， de-scrambler, de-serializer 和receiver link monitor组成，完成和发送端反向的工作。

接收端从CDR traing mode 到normal mode后通过ALN traing pattern来做一个byte 和big对齐的处理；

5 速率计算

- byte mode: 可以是3, 4或者5，取决于color depth，比如传输RGB 10bit color depth的信号，那一个pixel有30bit数据，所以需要使用4byte mode(32bit)可以存下30bit数据。
- encoded total bit-rate:总的带宽需求，可以通过以下公式估算：

$$600\text{Mbps} \leq [\text{encoded bit-rate per lane}] (\text{bps}) = \frac{[\text{encoded total bit-rate}] (\text{bps})}{[\text{number of lanes}]} \leq 4\text{Gbps}$$

- number of lanes: 可以是1, 2, 4, 8..., 取决于实际应用的分辨率和带宽需求；
- encoded bit-rate per lane: 每个lane的带宽大小，可以通过以下公式计算：

$$[\text{encoded total bit-rate}] (\text{bps}) = [\text{byte mode}] (\text{byte}) \times 8 \times \frac{10}{8} \times [\text{pixel clock}] (\text{Hz})$$

6 分辨率和data lane数量

Table 1 Video data format vs. No of lane example

Resolution	Refresh rate (Pixel clock)	color depth	No of data lane*
HD ex. 1280 x 720p	60Hz(74.25MHz)	18/24/30/36 bit	1
	120Hz(148.5MHz)	18/24/30/36 bit	2
	240Hz(297MHz)	18/24/30/36 bit	4
Full HD ex. 1920 x 1080p	60Hz(148.5MHz)	18/24/30/36 bit	2
	120Hz(297MHz)	18/24/30/36 bit	4
	240Hz(594MHz)	18/24/30/36 bit	8
	480Hz(1188MHz)	18/24/30/36 bit	16
Cinema Full HD ex. 2560 x 1080p	60Hz(185MHz)	18/24/30 bit	2
	120Hz(370MHz)	18/24/30 bit	4
	240Hz(740MHz)	18/24/30 bit	8
4K x 2K ex. 3840 x 2160p	60Hz(594MHz)	18/24/30/36 bit	8
	120Hz(1188MHz)	18/24/30/36 bit	16
	240Hz(2376MHz)	18/24/30/36 bit	32

7 状态机

- 发送端状态机

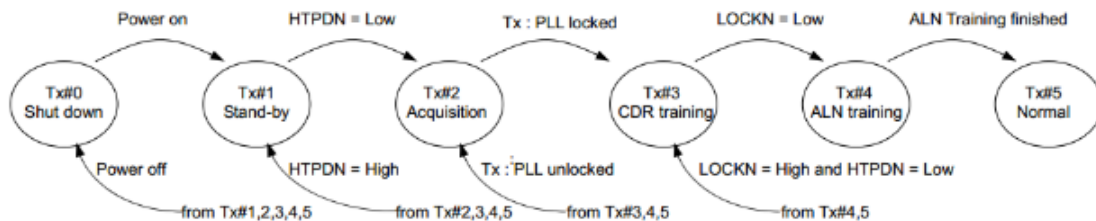


Figure 14 Transmitter State Diagram

- 接收端状态机

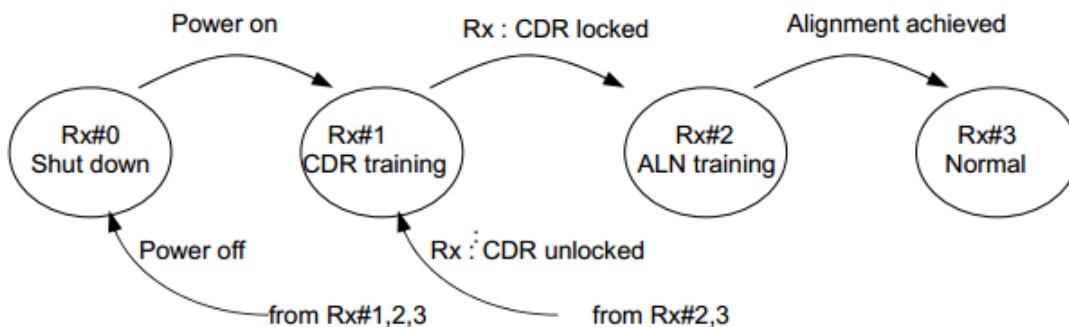


Figure 15 Receiver State Diagram

8 Training

8.1 CDR Training

1. 当HTPDN=0, LOCKN=1
2. 重复发送D10.2(0101010101)编码直到CDR PLL锁住
3. D10.2编码的频率是实际v-by-one的频率的一半
4. D10.2编码不能被scrambled
5. 当接收端CDR PLL没锁住时, 可以通过LOCKN拉高通知发送端

8.2 ALN Training

ANL是alignment的简称, 主要用于像素的对齐和Byte的对齐, ALN pattern包括BS和BE两部分。

Byte的边界是通过COMMA pattern检测到, 被嵌入到BS和BE两部分中。符号表的检测是通过K码边界检测

1. 当HTPDN和LOCKN都为0的时候开始ALN Training
2. 一个DE周期内有64pixel, 前面32pixel是高, 后面32pixel是低
3. 一个ALN Tring 周期内有16次DE周期
4. 当LOCKN为0, 进入ALN Tring周期, D[39:0], hsync, CTL[23:0]被设置为0
5. DE的最后一个像素设置为1
6. VSYNC除了最后4个像素, 其他都被设置为0
7. 最后4个VSYNC被设置为1主要是为了让BE_SR取代BE
8. ALN Train pattern被scrambled;

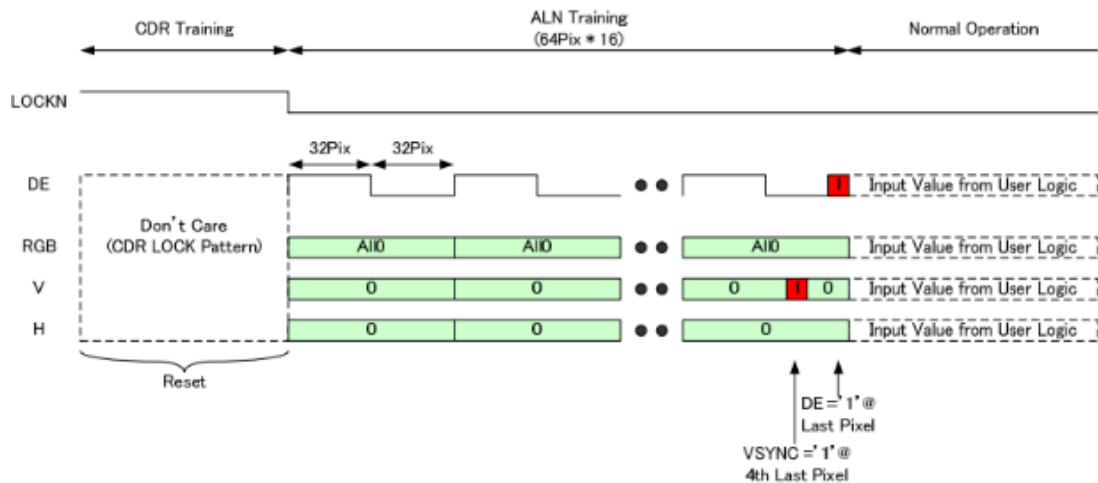


Figure 19 ALN Training timing

9 参考文档

《v-by-one_v1.4.pdf》